

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HYUN-JIN CHUNG

Application No.:

Filed:

For: **CAPACITOR HAVING OXYGEN
DIFFUSION BARRIER AND
METHOD FOR FABRICATING THE
SAME**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2002-86263	30 December 2002

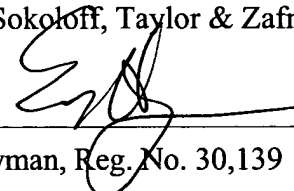
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/21/07

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

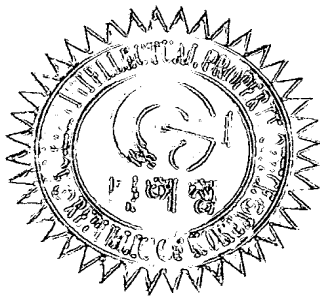
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086263
Application Number

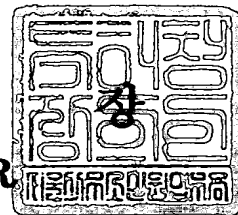
출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 05 월 14 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0028
【제출일자】	2002.12.30
【발명의 명칭】	산소확산방지막을 구비한 캐패시터 및 그의 제조 방법
【발명의 영문명칭】	Capacitor with oxygen barrier and method of fabricating the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	정현진
【성명의 영문표기】	CHUNG,Hyun Jin
【주민등록번호】	720212-1920518
【우편번호】	361-480
【주소】	충청북도 청주시 흥덕구 향정동 1번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	459,000 원

1020020086263

출력 일자: 2003/5/15

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 후속 열처리과정에서 하부전극과 유전막 사이에 산화막이 형성되는 것을 억제하는데 적합한 캐패시터 및 그의 제조 방법을 제공하기 위한 것으로, 본 발명의 캐패시터의 제조 방법은 하부전극을 형성하는 단계, 상기 하부전극 상에 알루미늄이 함유된 산소확산방지막을 형성하는 단계, 상기 산소확산방지막 상에 유전막을 형성하는 단계, 및 상기 유전막 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 하부전극을 형성하는 단계는, 상기 하부전극 표면에 HSG를 형성하는 단계, 및 상기 HSG가 형성된 하부전극 상에 질소가 함유된 산소확산방지막을 형성하는 단계를 포함한다.

【대표도】

도 3e

【색인어】

캐패시터, 알루미나, 산소확산방지막, 질화, 언더컷

【명세서】**【발명의 명칭】**

산소확산방지막을 구비한 캐패시터 및 그의 제조 방법{Capacitor with oxygen barrier and method of fabricating the same}

【도면의 간단한 설명】

도 1a는 종래 기술에 따른 캐패시터의 구조 단면도,

도 1b는 도 1a의 캐패시터의 상세도,

도 2는 본 발명의 실시예에 따른 캐패시터의 구조 단면도,

도 3a 내지 도 3e는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도.

*도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 층간절연막

23 : 스토리지노드 콘택플러그

24 : 식각배리어막

25 : 스토리지노드 산화막

26 : 하드마스크

27 : 오목패턴

28a : 실린더형 하부전극

29 : HSG

30 : 실리콘질화막

31 : 알루미늄

32 : 탄탈륨산화막

33 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 캐패시터의 제조 방법에 관한 것이다.
- <14> DRAM을 비롯한 반도체소자에서 집적도가 높아짐에 따라 캐패시턴스를 높이기 위하여 고유전상수를 갖는 유전물질로 대체하는 방법등이 이용되고 있으며, 주로 Ta_2O_5 , TiO_2 , $TaON$, HfO_2 , Al_2O_3 , ZrO_2 등의 금속산화물계열의 물질이 개발되고 있다.
- <15> 현재 256M DRAM 이상의 고집적 소자에서 셀내 캐패시터의 유전물질로 적용하고자 하는 탄탈륨산화막(Ta_2O_5)은 유전율(ϵ_r)이 ~ 25 정도로 통상적으로 이용되는 실리콘산화막과 실리콘질화막의 적층 유전막, 즉 Si_3N_4 ($\epsilon_r \sim 7$)/ SiO_2 ($\epsilon_r \sim 3.8$)보다 유전율이 3 \sim 4배 정도 높다.
- <16> 도 1a는 종래 기술에 따른 실린더형 MIS 캐패시터를 도시한 도면으로서, 유전막으로 탄탈륨산화막을 적용한 경우를 도시하고 있다.
- <17> 도 1a를 참조하면, 트랜지스터 및 비트라인이 형성된 반도체기판(11)상에 층간절연막(12)과 식각배리어막(13)이 형성되고, 식각배리어막(13)과 층간절연막(12)을 관통하여 반도체기판(11)에 스토리지노드콘택(14)이 연결된다. 여기서, 식각배리어막(13) 하부의 층간절연막(12)이 언더컷(under cut)되어 스토리지노드콘택(14)의 상면 및 측면의 일부가 노출된다. 그리고, 식각배리어막(13) 상에 스토리지노드산화막(15)이 형성된다.

- <18> 그리고, 스토리지노드콘택(14)에 연결되는 실린더형 하부전극(16)이 언더컷에 끼워지는 형태를 갖고 형성되고, 실린더형 하부전극(16) 표면에 HSG(17)이 형성되고, HSG(17) 표면 상에 산소확산방지막인 실리콘질화막(18)이 형성된다.
- <19> 그리고, 실리콘질화막(18)이 형성된 실린더형 하부전극(16) 상에 탄탈륨산화막(19)이 형성되고, 탄탈륨산화막(19) 상에 상부전극(20)이 형성된다.
- <20> 도 1b는 도 1a의 캐패시터의 상세도로서, 도 1b를 참조하여 제조 방법을 간략히 설명하면 다음과 같다.
- <21> 도 1b를 참조하면, 실린더형 하부전극(16) 상에 HSG(17)을 형성한 후, 표면 질화법(nitridation)을 통해 실리콘질화막(18)을 형성한다. 다음에, 실리콘질화막(18) 상에 탄탈륨산화막(19)을 형성한 후, 탄탈륨산화막(19)의 결정화 및 유전특성 확보를 위한 후속 열처리를 진행한다. 다음에, 탄탈륨산화막(19) 상에 상부전극(20)을 형성한다.
- <22> 그러나, 전술한 종래 기술에서는, 탄탈륨산화막(19)의 후속 열처리 과정동안 산소가 하부전극(16)측으로 확산하는 것을 실리콘질화막(18)이 충분히 방지하지 못하여 실린더형 하부전극(16)의 표면에 실리콘산화막(SiO_2 , 유전율=3.9)과 같은 저유전층(X)이 두껍게 형성되는 문제가 있다.
- <23> 이와 같은 저유전층(20)은 캐패시터의 전기적 특성에 악영향을 미치게 되며, 소자의 안정적인 동작을 방해한다. 즉, 캐패시터의 캐패시턴스가 낮아지고 누설전류가 증가되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로, 후속 열처리 과정에서 하부전극과 유전막 사이에 산화막이 형성되는 것을 억제하는데 적합한 캐패시터 및 그의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<25> 상기 목적을 달성하기 위한 본 발명의 캐패시터는 하부전극, 상기 하부전극 상의 알루미늄이 함유된 산소확산방지막, 상기 산소확산방지막 상의 유전막, 및 상기 유전막 상의 상부전극을 포함하는 것을 특징으로 하고, 상기 하부전극과 상기 알루미늄이 함유된 산소확산방지막 사이에 질소가 함유된 산소확산방지막이 더 삽입된 것을 특징으로 한다.

<26> 그리고, 본 발명의 캐패시터의 제조 방법은 하부전극을 형성하는 단계, 상기 하부전극 상에 알루미늄이 함유된 산소확산방지막을 형성하는 단계, 상기 산소확산방지막 상에 유전막을 형성하는 단계, 및 상기 유전막 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 하부전극을 형성하는 단계는, 상기 하부전극 표면에 HSG를 형성하는 단계, 및 상기 HSG가 형성된 하부전극 상에 질소가 함유된 산소확산방지막을 형성하는 단계를 포함하는 것을 특징으로 한다.

<27> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

- <28> 도 2는 본 발명의 실시예에 따른 캐패시터의 구조 단면도이다.
- <29> 도 2에 도시된 바와 같이, 적어도 트랜지스터 및 비트라인이 형성된 반도체 기판(21) 상에 층간절연막(22)이 형성되고, 스토리지노드 콘택플러그(23)가 층간절연막(22)을 관통하여 반도체 기판(21)과 연결되며, 스토리지노드 콘택 플러그(23)의 표면을 노출시키는 개구를 갖는 식각배리어막(24)과 스토리지노드산화막(25)의 적층막이 층간절연막(22) 상부에 형성된다. 여기서, 식각배리어막(24)은 턱의 형태로 돌출되며, 이로써 식각배리어막(24)의 하부에 언더컷이 제공된다.
- <30> 그리고, 하부 영역이 식각배리어막(24)에 의해 물리적으로 지지되는 실린더형 하부전극(28a)이 스토리지노드 콘택 플러그(23)와 연결되고 있다. 즉, 실린더형 하부전극(28a)의 하부가 식각배리어막(24)의 하부에 제공된 언더컷에 박혀 있는 형태를 갖는다. 아울러, 실린더형 하부전극(28a)의 표면에는 표면적 증대를 위해 HSG(29)와 같은 요철이 구비되고, 산소확산방지역할을 하도록 표면이 질화처리되어 실리콘질화막(30)이 형성되어 있다.
- <31> 그리고, 실리콘질화막(30)이 형성된 하부전극(28a) 상에는 또다른 산소확산방지막 역할을 하는 알루미나(31)가 형성되고, 알루미나(31) 상에는 탄탈륨산화막(32)이 형성되며, 탄탈륨산화막(32) 상에는 상부전극(33)이 형성된다.
- <32> 도 2에 도시된 것처럼, 본 발명의 캐패시터는 유전막인 탄탈륨산화막(32)의 증착후에 이루어지는 열처리 과정시 하부전극(28a)이 산화되는 것을 방지하기 위해 이중 산소확산방지막, 즉 실리콘질화막(30)과 알루미나(31)의 이중 산소확산방지막을 적용하고 있다.

- <33> 이와 같이, 산소확산방지막으로서 실리콘질화막(30)과 알루미나(31)의 이중막을 적용하는 경우에는, 실리콘질화막(30)만을 적용한 캐패시터에 비해 알루미나(31)의 우수한 산소확산방지 능력으로 인해 탄탈륨산화막(32)의 증착후에 이루어지는 열처리 과정시 하부전극(28a)으로 산소가 확산되는 것을 효과적으로 방지할 수 있다. 후술하겠지만, 알루미나(31)의 우수한 산소확산방지 능력이라 함은, 알루미나(31)가 알루미늄-산소(Al-O) 사이의 결합에너지가 크기 때문에 후속 고온 열처리 과정에서 산소가 알루미나(31)를 투과하지 못하는 것을 의미한다.
- <34> 아울러, 도 2의 캐패시터는 HSG(29)와 같은 요철이 형성되므로 캐패시터의 용량을 증대시킬 수 있고, 실린더형 하부전극(28a)이 식각배리어막(24)의 하부에 제공된 언더컷에 의해 견고하게 지지되고 있어 하부전극이 쓰러져 발생하는 하부전극간 브릿지 및 하부전극의 리프팅(lifting) 현상을 방지할 수 있다.
- <35> 도 3a 내지 도 3e는 도 2에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도이다.
- <36> 도 3a에 도시된 바와 같이, 반도체 기판(21) 상에 층간절연막(22)을 형성하고, 반도체 기판(21)의 일부가 노출되도록 층간절연막(22)을 식각하여 플러그용 콘택홀을 형성한다. 다음에, 콘택홀을 채울때까지 층간절연막(22) 상에 플러그용 도전막으로 폴리실리콘막을 증착하고 전면식각하여 스토리지노드 콘택플러그(23)를 형성한다. 다음에, 스토리지노드 콘택플러그(23)를 포함한 층간절연막(22) 상에 식각배리어막(24)과 스토리지노드산화막(25)을 차례로 증착한다. 이때, 스토리지노드 산화막(25)은 TEOS막으로 형성하고, 식각배리어막(24)은 실리콘질화막으로 형성한다. 다음에, 스토리지노드 산화막(25) 상에 하드마스크(26)를 증착한다. 이때, 하드마스크(26)은 폴리실리콘막을 이용하며, 이

와 같은 하드마스크(26)를 이용하는 것은, 잘 알려진 바와 같이, 감광막만으로는 높은 두께의 스토리지노드 산화막(25)을 식각하는 것이 어렵기 때문에 폴리실리콘막과 같은 하드마스크(26)를 이용하는 것이다.

<37> 다음에, 마스크 및 식각 공정을 통해 하드마스크(26)를 식각한 후, 하드마스크(26)를 식각마스크로 식각배리어막(24)에서 식각이 멈추도록 스토리지노드산화막(25)을 식각하고, 연속해서 식각배리어막(24)을 식각하여 하부전극이 형성될 영역, 예컨대 오목패턴(27)을 형성한다. 이때, 식각배리어막(24) 하부의 층간절연막(22)이 일부분 과도식각되어 스토리지노드 콘택플러그(23)의 상면은 물론 측면 일부가 드러난다.

<38> 다음에, 희석된 불산(dilute HF), 불산 계열이 혼합된 케미컬, 암모니아수 계열이 혼합된 케미컬 등의 습식케미컬을 이용한 딥(dip) 공정을 통해 스토리지노드 산화막(26)을 추가로 습식식각하여 오목 패턴(27)의 폭을 넓힌다. 이와 같이, 습식 딥 공정을 수행하는 이유는 후속 진행되는 하부전극의 표면적을 넓히면서 하부전극의 하부구조를 물리적으로 견고하게 지지하기 위함이다.

<39> 위와 같은 습식 딥 공정시 스토리지노드산화막(26)에 대해 선택비를 갖는 식각배리어막(24)과 하드마스크(26)는 식각되지 않기 때문에 하드마스크(26)의 하부와 식각배리어막(24)의 하부에 언더컷이 발생한다. 즉, 하드마스크(26)와 식각배리어막(24)이 턱의 형태로 돌출된다.

<40> 다음에, 폭이 넓어진 오목패턴(27)을 포함한 전면에 하부전극 물질로서 비정질실리콘막(28)을 증착한다.

- <41> 도 3b에 도시된 바와 같이, 스토리지노드 산화막(25)의 표면이 드러날때까지 비정질실리콘막(28)을 화학적기계적연마하여 오목패턴(27) 내부에만 이웃한 하부전극(28a)과 서로 분리되는 하부전극(28a)을 형성한다. 이때, 화학적기계적연마시 하드마스크(26)도 동시에 연마되어 제거된다.
- <42> 다음으로, 드러난 스토리지노드 산화막(25)을 일부분 습식식각하여 하부전극의 상부보다 낮게 한다. 이와 같이, 스토리지노드 산화막(25)을 일부분 추가로 습식식각하는 이유는 후속 HSG 공정시 이웃한 하부전극간에 HSG가 접합되는 것을 방지하기 위함이다.
- <43> 다음에, 하부전극(28a)의 표면에 표면적 증대를 위한 HSG(29)를 성장시킨다.
- <44> 도 3c에 도시된 바와 같이, HSG(29)이 형성된 하부전극(28a)의 표면을 질화시켜 실리콘질화막(30)을 형성한다. 여기서, 실리콘질화막(30)은 NH_3 가스를 이용하여 플라즈마 처리로 수행하는 플라즈마 질화법(Plasma nitridation) 또는 고온에서의 열처리하는 급속열질화법(Rapid Thermal Nitridation; RTN)을 이용하여 형성한다.
- <45> 예컨대, NH_3 분위기의 급속열질화(RTN)시 온도는 $500^\circ\text{C} \sim 850^\circ\text{C}$ 를 유지하고, NH_3 의 유량을 $1\text{slm} \sim 20\text{slm}$ 으로 유지하며, 상압을 유지하면서 60초 \sim 180초동안 처리한다. 그리고, NH_3 분위기의 플라즈마질화시 NH_3 의 유량을 $10\text{sccm} \sim 1000\text{sccm}$ 으로 유지하고, 플라즈마를 발생시키기 위한 RF 파워를 $50\text{W} \sim 400\text{W}$ 로 인가하며, $0.1\text{torr} \sim 2\text{torr}$ 의 압력을 유지하면서 30초 \sim 300초동안 플라즈마처리한다.
- <46> 도 3d에 도시된 바와 같이, 실리콘질화막(30)이 형성된 하부전극(28a) 상에 알루미늄(Al_2O_3 , 31)를 $10\text{\AA} \sim 30\text{\AA}$ 두께로 형성한다. 즉, 실리콘질화막(30)이 형성된

하부전극(28a)의 표면을 알루미나(31)로 패시베이션(passivation)시킨다. 한편, 알루미나(31)는 원자층증착법(ALD)이나 금속유기화학기상증착법(MOCVD)을 통해 형성한다.

<47> 예컨대, 알루미나(31)의 원자층증착법에 대해 설명하면, 증착챔버내에 하부전극(28a)이 형성된 반도체기판(21)을 로딩시킨 후, TMA 소스를 350℃ ~ 500℃의 기판온도를 유지하는 증착챔버내에 흘려주어 실리콘질화막(30) 표면에 TMA 소스를 흡착시킨다. 다음으로, 미반응 TMA 소스와 반응부산물을 퍼지하기 위해서 질소(N_2) 또는 아르곤(Ar) 가스를 증착챔버내에 흘려주든가, 진공 펌프를 통해 잔류 가스를 배출시킨다. 계속해서, 반응가스인 H_2O 또는 O_3 를 증착챔버내에 흘려주어 흡착된 TMA 소스와의 표면 반응을 유도하여 알루미나(31)를 증착한다. 계속해서, 미반응 반응가스 및 반응부산물을 제거하기 위하여 질소 또는 아르곤가스를 증착챔버내에 흘려주든가, 진공 퍼지하여 배출펌프를 통해 배출시킨다. 상술한 바와 같은 TMA 소스 공급, 퍼지, 반응가스 공급, 퍼지의 단계를 수회 반복하므로써 10Å ~ 30Å 두께의 계단도포성이 우수한 알루미나(31)를 증착한다.

<48> 그리고, 알루미나(31)의 금속유기화학기상증착법(MOCVD)에 대해 설명하면, $Al(OC_2H_5)_3$ 소스와 산소(O_2) 가스를 350℃ ~ 500℃의 온도범위내에서 증착챔버내로 공급하여 증착한다.

<49> 여기서, 알루미나(31)의 증착온도를 350℃ ~ 500℃의 범위로 하는 이유는 다음과 같다. 먼저, 300℃ 이하의 온도에서는 알루미나 소스에 포함된 탄소불순물이 남아서 후속 탄탈륨산화막 증착과 열처리시 유전막 전체의 불순물 수치를 높여주게 되어 누설전류증가를 억제할 수 없을뿐만 아니라 쓰루풋도 저하된다. 그리고, 500℃ 이상에서는 하부전극(28a)의 산화를 수반하게 된다.

<50> 도 3e에 도시된 바와 같이, 알루미나(31) 상에 금속유기화학기상증착법(MOCVD) 또는 원자층증착법(ALD)을 이용하여 탄탈륨산화막(32)을 증착한다. 예컨대, 금속유기화학기상증착법(MOCVD)을 이용한 탄탈륨산화막(32)의 증착 과정을 살펴보면, 먼저 반응챔버 내에 원료물질로서 탄탈륨에칠레이트[Ta(OC₂H₅)₅]를 운반가스인 질소(N₂)를 통해 플로우시킨다. 이 때, 질소의 유량은 350sccm~450sccm을 유지한다. 그리고, 반응챔버내에 반응가스(또는 산화제)로서 산소를 10sccm~1000sccm의 유량으로 플로우시킨 후, 150℃~200℃의 온도로 가열시킨 반도체기판상에서 공급된 탄탈륨에칠레이트를 열분해시켜 알루미나(31)상에 탄탈륨산화막(32)을 증착한다. 이 때, 반응챔버는 0.2torr~10torr의 압력을 유지한다.

<51> 한편, 탄탈륨산화막(32)을 형성하기 위한 소스로 널리 사용되는 탄탈륨에칠레이트는 실온에서 액체 상태이며, 145℃ 온도에서 기화하는 특성을 가지고 있으므로, 탄탈륨에칠레이트를 용이하게 반응시키기 위하여 액상인 소스를 기상으로 만들어야 한다. 예컨대, 탄탈륨에칠레이트를 170℃~190℃로 유지되는 기화기에서 기상상태로 변화시킨 후, 질소가스에 실어 반응챔버내로 공급시킨다.

<52> 다음으로, 탄탈륨산화막(32)의 결정화 및 불순물 또는 산소공핍을 줄이기 위한 후속 열처리 과정을 수행한다. 여기서, 후속 열처리 과정은 탄탈륨산화막(32)을 결정화시키고 막내 탄소와 같은 불순물을 제거하며 산소공핍을 보상해주기 위해 N₂O 또는 산소(O₂) 분위기에서 600℃~750℃의 온도로 열처리한다. 이와 같은, 고온 열처리를 통해 알루미나(31)도 결정화되므로, 알루미나(31) 증착후에 별도의 열처리 과정을 수행하지 않아도 된다. 특히, 알루미나(31)를 350℃~500℃의 온도에서 증착하여 막내 불순물

을 잔류시키지 않기 때문에 알루미나(31) 증착 및 탄탈륨산화막(31) 증착후에 별도의 저온 열처리 과정을 도입하지 않아도 된다.

<53> 다음으로, 탄탈륨산화막(32)상에 상부전극(33)을 형성한다. 예컨대, 열처리된 탄탈륨산화막(32)상에 티타늄나이트라이드막(TiN) 또는 티타늄나이트라이드막과 폴리실리콘막의 적층막(Polysilicon/TiN)을 증착하여 MIS 캐패시터를 완성한다.

<54> 전술한 바와 같은 실시예에 따르면, 하부전극(28a)과 탄탈륨산화막(32) 사이에 산소확산방지막으로서 표면 질화법에 의한 질화막(30)과 알루미나(31)의 2중막을 삽입함으로써 후속 열처리 과정시 산소가 하부전극(28a)으로 침투하는 것을 억제하여 하부전극(28a)과 탄탈륨산화막(32) 사이에 저유전층이 형성되는 것을 방지한다.

<55> 자세히 살펴보면, 알루미나(31)는 탄탈륨산화막(32)에 비해 알루미늄-산소(Al-O) 사이의 결합에너지가 크기 때문에 후속 고온 열처리 과정에서 하부전극(28a)을 산화시키는 정도가 약하다. 그리고, 알루미나 분자체는 탄탈륨산화막에 비해 견고하고 분자 결합이 적기 때문에 열처리 과정에서 이용되는 산화제(O_2 , N_2O)의 하부전극(28a)으로의 투과를 효과적으로 억제할 수 있는 우수한 내산화 특성을 갖는다.

<56> 아울러, 알루미나는 산화막이나 질화막에 비해 유전상수가 크기 때문에 캐패시터의 유전막으로도 작용하는데, 즉 이중의 Al_2O_3/Ta_2O_5 을 유전막으로 이용하는 캐패시터는 NO , Al_2O_3 , 또는 Ta_2O_5 를 단독으로 이용하는 캐패시터에 비해 외부로부터 인가되는 전기적 충격에 강해 절연파괴전압(Breakdown voltage)이 높고 누설전류 수준(level)이 낮은 전기적 특성을 얻을 수 있다.

<57> 전술한 실시예에서는 탄탈륨산화막을 이용하는 캐패시터에 대해 설명하였으나, TaON, BST와 같은 고유전막을 적용한 캐패시터에도 적용 가능하다.

<58> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<59> 상술한 본 발명은 하부전극과 유전막 사이에 실리콘질화막과 알루미늄의 이중막으로 된 산소확산방지막을 삽입함으로써 후속 열처리시 산소의 하부전극으로의 투과를 방지하여 캐패시턴스를 높이고 누설전류를 감소시켜 소자의 안정적인 특성을 확보할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

하부전극;

상기 하부전극 상의 알루미늄이 함유된 산소확산방지막;

상기 산소확산방지막 상의 유전막; 및

상기 유전막 상의 상부전극

을 포함하는 캐패시터.

【청구항 2】

제1항에 있어서,

상기 하부전극과 상기 알루미늄이 함유된 산소확산방지막 사이에 질소가 함유된 산소확산방지막이 더 삽입된 것을 특징으로 하는 캐패시터.

【청구항 3】

제1항에 있어서,

상기 하부전극 표면에 HSG가 형성된 것을 특징으로 하는 캐패시터.

【청구항 4】

제1항에 있어서,

상기 산소확산방지막은 알루미늄인 것을 특징으로 하는 캐패시터.

【청구항 5】

하부전극을 형성하는 단계;

상기 하부전극 상에 알루미늄이 함유된 산소확산방지막을 형성하는 단계;

상기 산소확산방지막 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 상부전극을 형성하는 단계

를 포함하는 캐패시터의 제조 방법.

【청구항 6】

제5항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 하부전극 표면에 HSG를 형성하는 단계; 및

상기 HSG가 형성된 하부전극 상에 질소가 함유된 산소확산방지막을 형성하는 단계

를 포함하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 질소가 함유된 산소확산방지막은,

급속열질화법 또는 플라즈마질화법을 이용하여 형성하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 8】

제5항에 있어서,

상기 산소확산방지막은 알루미나인 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 9】

제8항에 있어서,

상기 알루미나는,

저압화학기상증착법 또는 원자층증착법을 이용하여 형성하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 10】

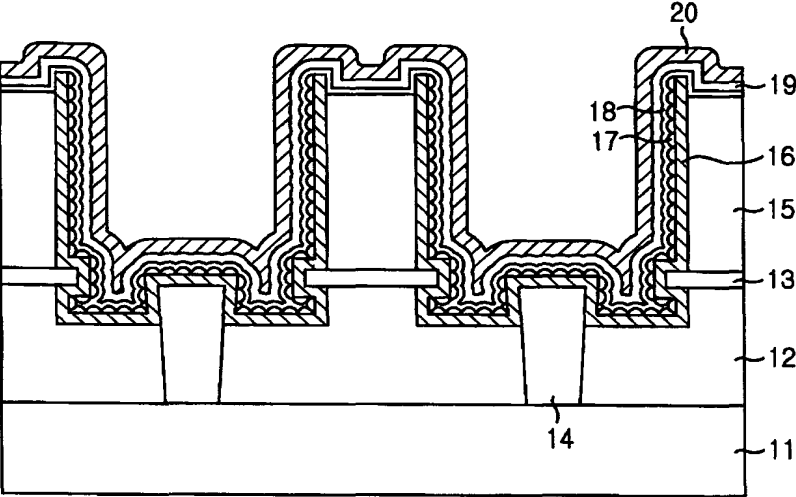
제8항에 있어서,

상기 알루미나는,

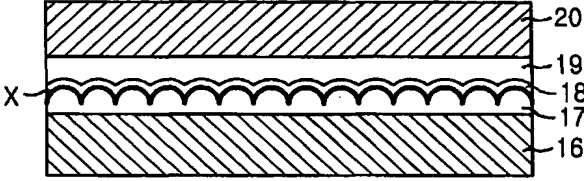
350℃~500℃의 온도에서 형성되는 것을 특징으로 하는 캐패시터의 제조 방법.

【도면】

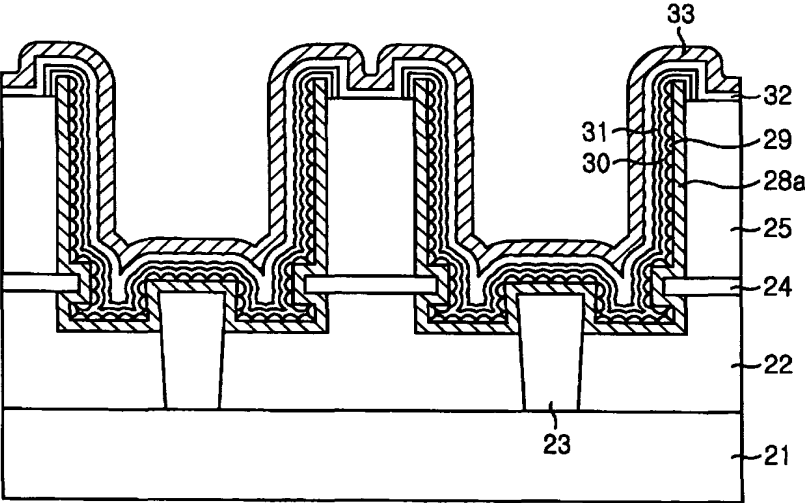
【도 1a】



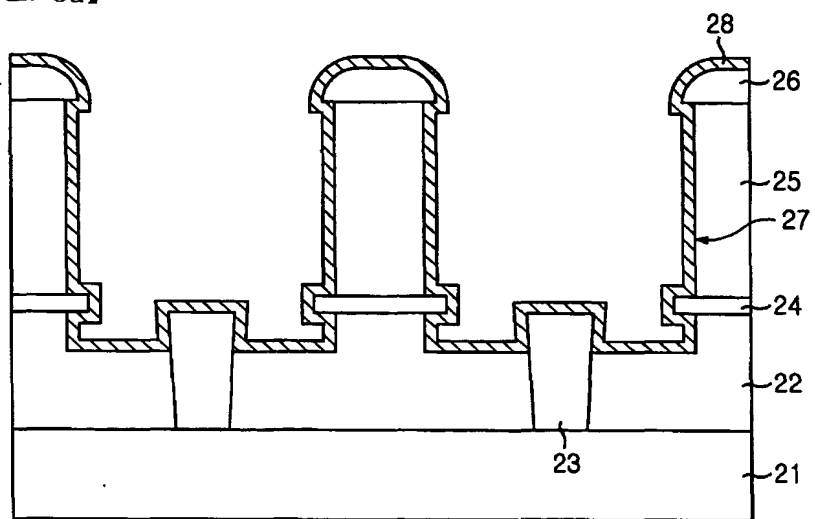
【도 1b】



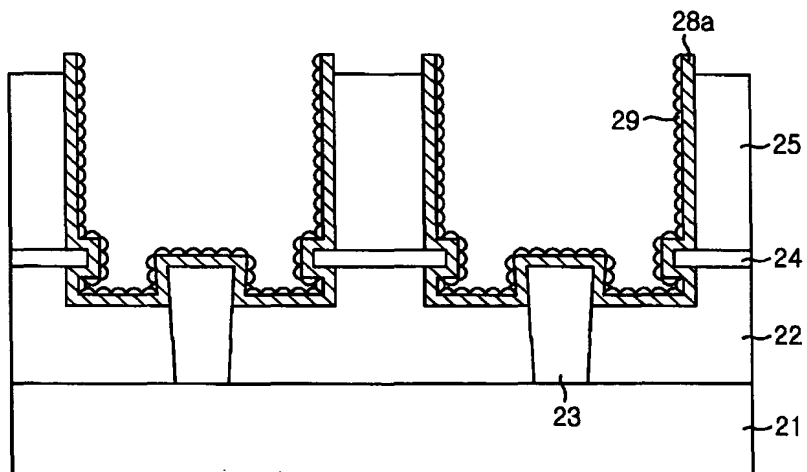
【도 2】



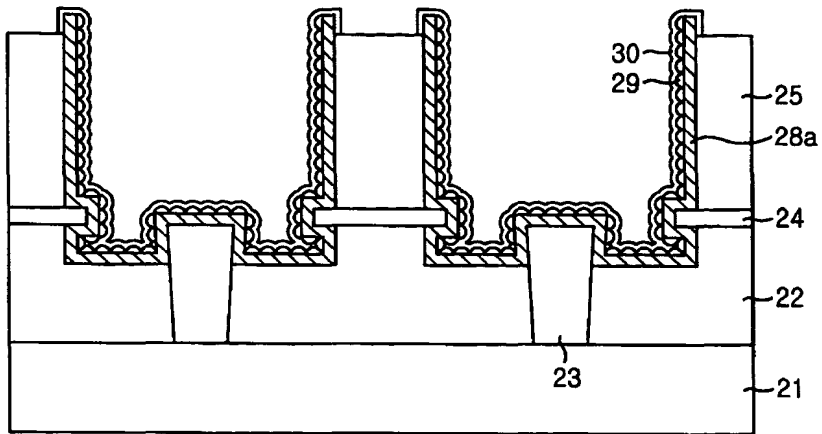
【도 3a】



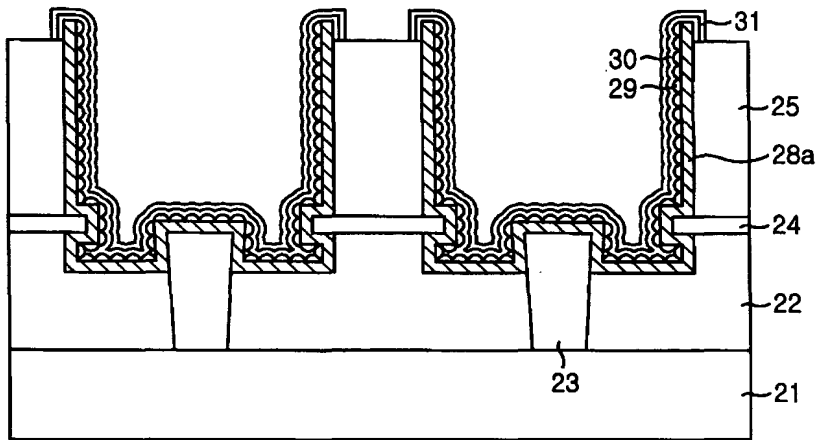
【도 3b】



【도 3c】



【도 3d】



【도 3e】

